

Erweiterung der ATM E1 Access Unit mit ACR

Telekommunikation / Prof. Michel Tripet

Ein wichtiger Trend in der Telekommunikation ist die Entwicklung von Breitbandnetzen. ATM (Asynchronous Transfer Mode) ist eine bewährte und weit verbreitete Hochgeschwindigkeits-Übertragungstechnik, die ein breites Spektrum von Diensten mit unterschiedlichen Übertragungseigenschaften unterstützt. ATM ist keine reine Übertragungstechnik, sondern eine Netztechnik, die ursprünglich als Basis für ein Breitband-ISDN (B-ISDN), mit integriertem Kabelfernsehen entwickelt wurde. ATM kann gleichzeitig Sprache, Daten und Videoverkehr mit unterschiedlichen Datenraten übertragen. ATM galt Mitte der 90er Jahre als die Universaltechnik schlechthin, die in Zukunft in allen Netzen – vom LAN bis zum WAN – eingesetzt wird.



Lüdi Christian
1979

079 247 64 61

chluedi@freesurf.ch

Die ATM E1 Access Unit wurde vollumfänglich an der HTI in Burgdorf entwickelt. Die Access Unit ermöglicht uns acht E1-Signale (Lines) über ein ATM-Netzwerk zu übertragen. Mehrere Diplomarbeiten befassten sich bereits mit der Entwicklung entsprechender Hardware und Software.

Unsere Vorgänger hatten die Aufgabe die verschiedenen Timing-Modi zu implementieren. In einem ATM-Netzwerk sind dies synchroner Betrieb, Synchronous Residual Time Stamp (SRTS), und Adaptive Clock Recovery (ACR). Dazu waren mehrere Hardwareänderungen notwendig. Das Herzstück der Timing-Modi stellt ein neu integriertes FPGA dar. Es hat die Aufgabe je nach Moduswahl den entsprechenden Clock auf die Bausteine durchzuschalten. Im Fall von ACR übernimmt es zusätzlich die Aufgabe des Clock-Generators.

Unsere Hauptaufgabe bestand darin, das noch nicht realisierte ACR zu verwirklichen. ACR wendet ein einfaches Prinzip an. Die ankommenden ATM-Zellen werden in einen Buffer geschrieben. Steigt nun der Bufferstand, registriert dies das FPGA und erhöht die Frequenz des E1-Signals. Das Umgekehrte passiert bei niedrigem Bufferstand. Auf diese Art und Weise kann der ursprüngliche Takt zurückgewonnen werden.

Als ersten Schritt mussten wir die funktionsunfähige Access Unit synchron fehlerfrei zum Laufen bringen. Dies erwies sich bereits als die er-

wartete grosse Hürde. Vorerst konnten keine Aussagen gemacht werden, ob die Fehler in der Hard- oder Software liegen. Etliche Fehler konnten von uns aufgespürt und behoben werden, so dass eine Line jetzt fehlerfrei funktioniert. Als nächster Schritt galt es ACR zu implementieren. Der von uns überarbeitete VHDL-Code funktionierte bereits beim ersten Versuch recht ansprechend. So reagiert unser Frequenzsynthesizer korrekt auf schneller bzw. langsamer ankommende Zellen. Einen ausführlichen Test können wir jedoch erst dann durchführen, wenn beide Access Units fehlerfrei arbeiten.



Nyffeler Stephan
1979

079 252 46 07

stephan.nyffeler@bluemail.ch



ATM E1 Access Unit