

Digital Down Converter in einem FPGA

Kommunikationstechnik / Prof. Fritz Dellsperger
 Experte: Dipl. Ing. Hans Zahnd

Das Prinzip Software-Defined-Radio (SDR) ist schon lange nicht mehr aus der Kommunikationstechnik wegzudenken. Bei diesem Prinzip ist man bestrebt ein empfangenes Funksignal möglichst früh nach der Antenne zu digitalisieren und anschliessend die gesamte Verarbeitung digital durchzuführen. Der Digital Down Converter ist in einem solchen System an vorderster Front und übernimmt das Heruntermischen und die Reduzierung der Datenrate des Signals. Für die Implementierung eines SDR Systems bieten sich neben Signalprozessoren auch FPGAs an, da in diesen die Verarbeitungsschritte parallel ablaufen können. Ziel dieser Thesis war es einen Digital Down Converter in einem FPGA zu entwickeln.



Björn Grossniklaus

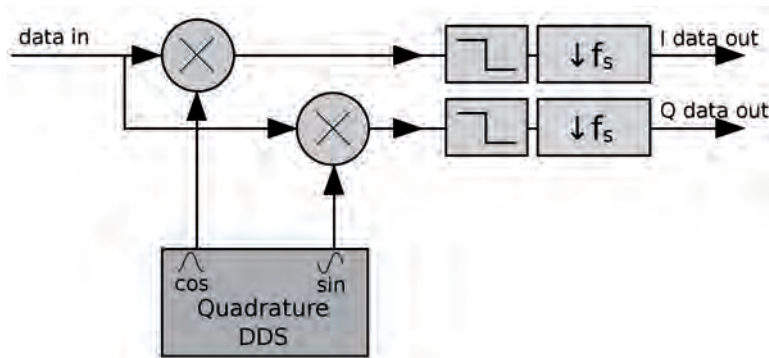
DDC

Der Digital Down Converter (DDC) in einem Software-Defined-Radio System hat die Aufgabe das empfangene und digitalisierte hochfrequente Signal ins Basisband (Mittelfrequenz 0Hz) zu verschieben, um es verarbeiten zu können. Er führt zusätzlich eine Verkleinerung der Datenrate (Dezimation) durch. Damit die weitere Verarbeitung nicht bei einer unnötig hohen Datenrate und dem damit verbundenem höheren Aufwand erfolgen muss. Das Verschieben

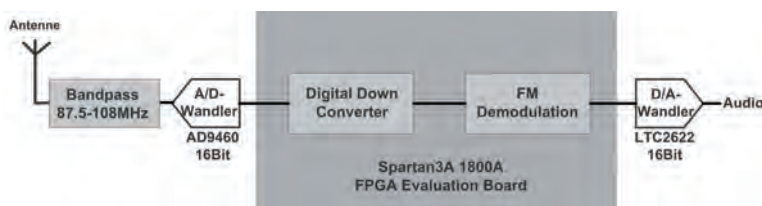
der Frequenzlage wird durch das Multiplizieren des Signals mit einem Hilfssignal erreicht. Dabei wird das Signal um die Frequenz des Hilfssignals verschoben. Alle unerwünschten Frequenzen müssen anschliessend herausgefiltert werden. Das Signal wird einmal mit einem Kosinus- und einmal mit einem Sinussignal gemischt dadurch entstehen zwei um 90° verschobene Signale (I/Q). Die bei der weiteren Verarbeitung (Demodulation) benötigt werden.

Ausgangslage

In vorangegangenen Arbeiten wurde ein Software-Defined-Radio Versuchsaufbau zur Verarbeitung eines UKW Rundfunk-Signals realisiert. Zuletzt wurde der DSP (Digitaler Signalprozessor) im Versuchsaufbau, der die Demodulation des Signals durchführt, durch einen FPGA ersetzt. Der DDC war jedoch noch in einem separaten DSP aufgebaut. Dieser DDC musste nun ersetzt werden und ebenfalls in den FPGA integriert werden.



Vereinfachter Aufbau eines DDC



Versuchsaufbau SDR UKW-Rundfunkempfänger

Realisation

Der neu entwickelte DDC stellt eine Verbesserung gegenüber dem alten dar. Er verarbeitet 16 Bit statt nur 14 bei einer weit höheren Abtastfrequenz von bis zu 100MHz. Zur Implementierung des Systems stand ein Spartan3A 1800A Evaluation Board zur Verfügung. Nach Abschluss der Thesis steht nun ein DDC zur Verfügung der die gestellten Anforderungen erfüllt. Er ist zudem über eine RS232 Schnittstelle vielseitig konfigurierbar und somit auch für andere Anwendungen als das UKW-Radio einsetzbar.