

Display- / Kameramodul für GECKO Plattform

Industrial Technology / Betreuer: Prof. Dr. Marcel Jacomet
Human Centered Engineering (HuCE-microLab) / System-On-Chip
Experte: Felix Kunz

Beim GECKO handelt es sich um eine Hardware-Softwareplattform für System-On-Chip Design und Echtzeitsignalverarbeitung. Das GECKO Mainboard stellt mit einem leistungsfähigen FPGA die nötige Leistung für rechenintensive Hardwarealgorithmen zur Verfügung. Ziel der Masterarbeit war die Entwicklung eines Erweiterungsmoduls mit Kamera und Display für Bildverarbeitungsanwendungen. Dazu wurden eine PCB Hardware und verschiedene IP-Cores realisiert.



Fabian Nenniger

Anforderungen

Bildverarbeitungsalgorithmen sind häufig sehr rechenintensiv und werden deshalb idealerweise direkt als Hardwarealgorithmen in einem FPGA implementiert. Die GECKO Plattform ist dazu mit einem Modul zu erweitern, welches Bilddaten erfassen und darstellen kann. Die Verarbeitung der Bilddaten erfolgt auf dem GECKO Mainboard. Die Anforderungen an dieses Modul sind:

- Modulgrösse gemäss GECKO Standard (Kreditkartenformat)
- Kompatibilität mit dem GECKO Systembus
- Kamera mit Videofähigkeiten
- Hochauflösendes Farbdisplay mit Touch Screen
- plug and play Funktionalität

Hardware

In einer ersten Phase der Masterarbeit wurden verschiedene Hardwarekonzepte erstellt, das leistungsfähigste ausgearbeitet und die dazugehörigen Hard-

warekomponenten evaluiert. Neben der Kamera und dem Display verfügt das Modul über ein eigenes FPGA, welches für die Ansteuerung der Modulkomponenten eingesetzt wird. Weiter besitzt das Modul einen eigenen Bildspeicher für die Zwischenspeicherung der Displayinhalte. Die Eckdaten des entstandenen Moduls sind:

- LCD mit 256k Farbtiefe und einer Auflösung von 320x480 Pixels
- Touch Screen mit Controller
- CMOS Kamera mit 5.1 MP
- 128 Mb Framebuffer (SDRAM)
- FPGA der Spartan 3AN Serie
- Kompatibel mit den GECKO Generationen 3 und 4

IP-Cores

In der zweiten Phase der Masterarbeit wurden die IP-Cores entwickelt. Unter IP-Cores versteht man applikationsspezifische Hardwareblöcke, welche in einer Hochsprache (z.B.: VHDL) definiert und im FPGA integriert werden können.

Ziel dieser Phase war es, eine IP-Architektur zu erstellen, welche dem Benutzer einen einfachen Zugriff auf die Hardwarekomponenten des Moduls ermöglicht (plug and play).

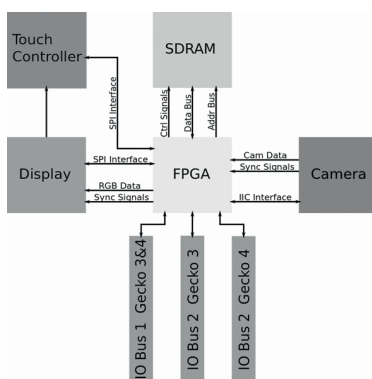
Kernstück der entstandenen IP-Architektur ist der Multiport Memorycontroller (MPMC) des FPGA Herstellers (Xilinx Inc). Dieser ermöglicht den angeschlossenen IP-Cores das Lesen und Schreiben des Bildspeichers. Weiter wurden IP-Cores zur Ansteuerung des Displays und zum Auslesen der Kameradaten entwickelt.

Resultat: GECKO4visual

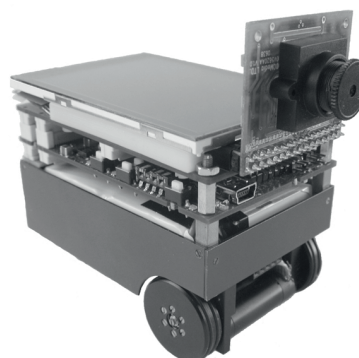
Das entstandene Modul mit dem Namen GECKO4visual konnte erfolgreich in Betrieb genommen und getestet werden. Die IP-Cores wurden soweit fertiggestellt, dass das Anzeigen von Bildern auf dem Display sowie das Auslesen von Kameradaten möglich ist.

Ausblick

Mit dem GECKO4visual wurde die GECKO Plattform durch Videofähigkeiten erweitert. Bilddaten können dabei in hoher Geschwindigkeit direkt mittels Hardwarealgorithmen verarbeitet und ausgewertet werden. Denkbare Anwendung ist beispielsweise die Implementierung von Tracking- oder Objekterkennungsalgorithmen.



Blockschaltbild GECKO4visual



GECKO mit GECKO4visual Erweiterung (Top Modul)