

Logisim goes FPGA

Technische Informatik / Dr. Theo Kluter

Experte: Felix Kunz

Das Programm «Logisim» wurde von Herrn Dr. Carl Burch entwickelt, der im Hendrix College in Conway (USA) Informatik unterrichtet. Logisim wurde entworfen, um digitale Schaltungen zu designen und zu simulieren. Das Programm ist open-source, wurde in Java geschrieben und wird noch immer von Herrn Burch betreut. Die Aufgabe dieser Bachelor-Thesis ist es nun, das Programm zu erweitern, so dass von einem Logisim-Schema ein VHDL-Code erzeugt werden kann und dieser auf eine beliebige mit einem FPGA bestückte Zielhardware geladen werden kann. Um dies zu erreichen sind diverse Kontrollen des in Logisim erstellten Schemas, sowie der Zielhardware notwendig.



Reto Schmid

Ressourcenvergleich

Damit eine erstellte Schaltung auf eine Zielhardware geladen werden kann, muss ein Ressourcenvergleich erfolgen. Weil die Logisimerweiterung für eine beliebige Zielhardware einsetzbar sein soll, wird zu jeder Zielhardware eine Datenbank benötigt, welche alle dazugehörigen hardware-spezifischen Informationen enthält.

Diese Datenbank wurde im XML-Format geschrieben und wird mittels eines XML-Parsers ausgelesen. Die verwendeten I/O's der erstellten Schaltung werden direkt aus der Datenstruktur der Logisim Software extrahiert und mit den ermittelten Hardwareressourcen verglichen.

Weist ein Schema beispielsweise mehr LED's und Schalter auf, als auf der verwendeten Zielhardware verfügbar sind, so ist diese nicht lauffähig und der Anwender erhält eine Fehlermeldung, welche ihn auf die aufgetretenen Inkompatibilitäten hinweist und auffordert seine Schaltung anzupassen.

Damit der Benutzer weiss, welches Element sich wo befindet, gibt es ein Bild des betreffenden Boards mit den Beschriftungen.



Marco Studer

VHDL Generierung

Für die VHDL Generierung wurde für jede Komponente, welche von unserer Software unterstützt wird, ein VHDL-File erstellt. Damit das Schema richtig umgesetzt wird, muss dieses wie beim Ressourcenvergleich ausgelesen werden. Im Gegensatz zum Ressourcenvergleich müssen hier nicht nur die verwendeten I/O's, sondern alle eingesetzten Komponenten mit den entsprechenden Verbindungen untereinander aus der Datenstruktur von Logisim extrahiert werden. Mit der Information über die verwendeten Komponenten werden diese im endgültigen VHDL-File instanziiert und mithilfe der ausgelesenen Verbindungen die Komponenten untereinander mit Signalen verbunden.

Clock-Signal

Logisim unterstützt Clocks von 0.25Hz bis 1024Hz. Die On-Board Clocks der FPGA's bewegen

sich jedoch im MHz-Bereich. Um den vom Anwender gewünschten Clock zu unterstützen, muss dieser aus dem On-Board Clock abgeleitet werden. Dazu wurde ein Clock-Generator in VHDL geschrieben. Dieser generierte Clock wird nicht auf die getakteten Eingänge der Komponenten gelegt, sondern kontrolliert deren enable-Eingang. Es handelt sich somit um einen emulierten Clock.

Verwendung des Programms

Logisim wird im Rahmen des Digitalunterrichts an der BFH verwendet. Diese Erweiterung ermöglicht den Studierenden ihre Schaltungen in der Realität zu testen, was den Unterricht anschaulicher und interessanter gestaltet. Zudem können Studierende, welche unerfahren in VHDL sind, den generierten Code betrachten und daraus lernen, wie man eine Schaltung in VHDL umsetzen kann.

